

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001184300 A**(43) Date of publication of application: **06.07.01**

(51) Int. Cl.

G06F 13/362
G06F 12/00
G06F 13/18

(21) Application number: **11368800**(22) Date of filing: **27.12.99**(71) Applicant: **HITACHI LTD**

(72) Inventor:
YAMADA HIROSHI
HORI JINICHI
HASE AKIRA
YAMATO TETSUYA
SUGITA NORIHIKO

(54) **DATA PROCESSING PROCESSOR**

necessity of real time processing is high.

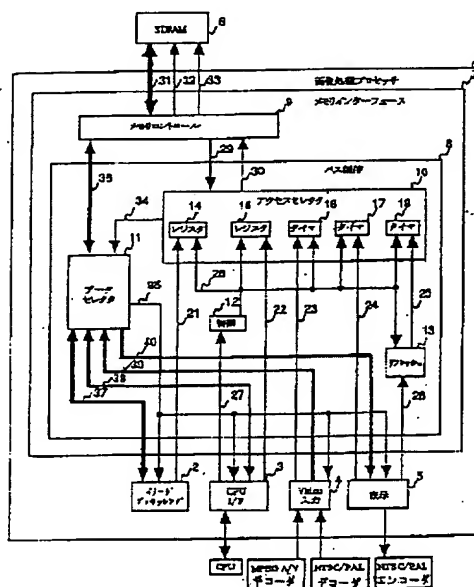
(57) Abstract:

COPYRIGHT: (C)2001,JPO

図1

PROBLEM TO BE SOLVED: To provide a data processing processor having a bus arbitrating device for prohibiting any channel in which the necessity of real time processing is low from using a bus regardless of that a channel in which the necessity of real time processing is high is issuing a request for the use of a bus.

SOLUTION: In a bus arbitrating device 8 of a processor 1, channels in which the necessity of real time processing is high are provided with timers 16-18 for counting-down a use permission time, and channels in which the necessity of real time processing is low are provided with registers 14 and 15. A value larger than the maximum value of the timer is set in the register value. At the time of bus arbitration, each timer value is compared with the register value, and the permission of the use of a bus is applied to the channel whose value is smaller. Therefore, it is possible to prohibit any channel in which the necessary of real time processing is low from using a bus driving the use of a bus is being requested by the channel in which the



(11)特許出願公開番号
特開2001-184300
(P2001-184300A)

(43)公開日 平成13年7月6日(2001.7.6)

(51)Int.Cl. ⁷		識別記号	F I	テマコード ⁸ (参考)	
G 0 6 F	13/362	5 1 0	G 0 6 F 13/362	5 1 0 H	5 B 0 6 0
	12/00	5 5 0		5 5 0 B	5 B 0 6 1
	13/18	5 1 0		5 1 0 A	

審査請求 未請求 請求項の数 7 O.L. (全 8 頁)

(21)出願番号 特願平11-368800

(22)出願日 平成11年12月27日(1999. 12. 27)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 山田 博
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所システムL S I開発セン
タ内

(72)発明者 堀 仁一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所システムL S I開発セン
タ内

(74)代理人 100068504
弁理士 小川 勝男 (外1名)

最終頁に続く

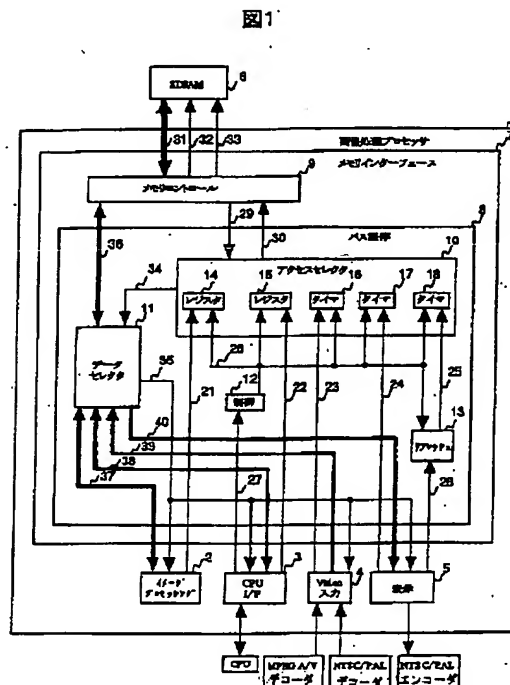
(54) 【発明の名称】 データ処理プロセッサ

(57) 【要約】

【課題】リアルタイム処理の必要性が高いチャネルがバス使用要求を出しているにもかかわらず、リアルタイム処理の必要性が低いチャネルにバスの使用を許可することのないバス調停装置を有するデータ処理プロセッサを提供する。

【解決手段】プロセッサ１のバス調停装置８内に、リアルタイム処理の必要性が高いチャンネルに使用許可時間をカウントダウンするタイマ１６～１８を設け、リアルタイム処理の必要性が低いチャンネルにレジスタ１４、１５を設ける。レジスタ値にタイマの最大値より大きな値を設定する。バス調停時にそれぞれのタイマ値とレジスタ値を比較し、値の小さい方のチャンネルにバス使用許可を与える。

【効果】リアルタイム処理の必要性が高いチャネルの使用要求中には、リアルタイム処理の必要性が低いチャネルにバスの使用を許可しないように動作できる。



【特許請求の範囲】

【請求項 1】複数のチャネルからのバス使用要求に対し、一つのチャネルを選択してバスの使用を許可するバス調停装置を有するデータ処理プロセッサにおいて、前記バス調停装置は、リアルタイム処理の必要性が高いチャネルに対してバス使用要求が通知されるとカウント時間をカウント変更するタイマと、リアルタイム処理の必要性が低いチャネルに対して、前記タイマのカウント時間の最大値よりも大きな値もしくは最小値よりも小さな値を設定するレジスタとを具備し、バス調停時にそれぞれのタイマの値とレジスタの値とを比較して小さい値もしくは大きい値のチャネルにバスの使用を許可する制御を行うことを特徴とするデータ処理プロセッサ。

【請求項 2】前記バス調停装置のレジスタに代えて、前記リアルタイム処理の必要性が高いチャネルに対するタイマのカウント時間の初期値よりも大きな値もしくは小さな値でカウント変更をストップするタイマを、前記リアルタイム処理の必要性が低いチャネルに対して設けてなる請求項 1 記載のデータ処理プロセッサ。

【請求項 3】請求項 1 または請求項 2 に記載のデータ処理プロセッサは、ホスト CPU との間の信号をやりとりするための CPU インターフェース部と、オンスクリーンディスプレイ表示及び 2 次元グラフィック演算処理をするイメージプロセッシング部と、外部入力画像のキャプチャを行うためのビデオ入力部と、画像を合成して外部へ出力する表示部と、外部記憶装置との間の信号のやりとりをするためのメモリインターフェース部とからなり、該メモリインターフェース部に前記バス調停装置を具備し、前記リアルタイム処理の必要性が高いチャネルは前記 CPU インターフェース部と、イメージプロセッシング部と、表示部の各チャネルであり、前記リアルタイム処理の必要性が低いチャネルはビデオ入力部およびメモリインターフェース部の各チャネルであることを特徴とするデータ処理プロセッサ。

【請求項 4】前記外部記憶装置は DRAM または SDRAM であり、前記表示部がバスの使用要求をしない期間中に、前記 DRAM または SDRAM のリフレッシュ動作を行うための要求信号を発生するリフレッシュ動作要求回路を、前記メモリインターフェース部に更に設けてなる請求項 3 に記載のデータ処理プロセッサ。

【請求項 5】前記バスは前記外部記憶装置と前記メモリインターフェース部との間に接続されるデータバスであり、該データバスと前記各チャネルとは前記バス調停装置を有するメモリインターフェース部を介して接続され

る請求項 3 または請求項 4 に記載のデータ処理プロセッサ。

【請求項 6】複数のチャネルからのバス使用要求に対し、一つのチャネルを選択してバスの使用を許可するバス調停装置を有するデータ処理プロセッサにおいて、前記バス調停装置は、優先度の高いチャネルに対してバス使用要求が通知されるとカウント時間をカウント変更するタイマと、優先度の低いチャネルに対して、前記タイマのカウント時間の最大値よりも大きな値もしくは最小値よりも小さな値を設定するレジスタとを具備し、バス調停時にそれぞれのタイマの値とレジスタの値とを比較して小さい値もしくは大きい値のチャネルにバスの使用を許可する制御を行うことを特徴とするデータ処理プロセッサ。

【請求項 7】前記バス調停装置のレジスタに代えて、前記優先度の高いチャネルに設けたタイマのカウント時間の初期値よりも大きな値もしくは小さな値でカウント変更をストップするタイマを、前記優先度の低いチャネルに対して設けてなる請求項 6 記載のデータ処理プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ処理プロセッサに関し、特に、複数のチャネルからのアクセス要求に対し、一つのチャネルを選択するバス調停装置を有するデータ処理プロセッサに関する。

【0002】

【従来の技術】従来、複数の装置からのバス使用要求に対し、一つの装置を選択してバスの使用を許可するバス調停制御方式としては、特開平 3-26315 号公報に開示される方式が知られている。この従来例の主要構成を図 3 に示す。図 3 では、情報を転送する共通のバス 51 と、少なくとも 2 個以上のバス制御機能を有する装置、例えば、中央処理装置 52、入出力制御装置 53、54 の如きバスマスタと、バス調停装置 55 とで構成される情報処理装置において、バス調停処理装置 55 にバスマスタ毎に少なくとも 1 個以上のタイマ 56, 57, 58 と、該タイマの初期値を記憶する記憶部を設け、各該記憶部に各バスマスタごとのバス獲得待ち許容時間を記憶させ、バス調停制御装置 55 にバスマスタからのバス使用要求が通知されると、当該バスマスタ用のタイマ 56, 57, 58 のカウントダウンが開始され、バスが使用可能状態となった時、少なくとも 2 個以上の前記バスマスタからのバス使用要求がある場合、バスマスタ用の各タイマ値を比較して値が最小のバスマスタに対してバス使用を許可し、バスの使用を許可されたバスマスタ用のタイマのカウントダウンを中止し、カウント値を初期値に戻す制御機能をバス調停制御装置 55 に持たせることによって、各バスマスタのバス使用優先度合いが各

バスマスタのバス獲得待ち時間が長くなるにつれて自動的に大きくなり、各バスマスタに適したバス調停制御を行えるようにしている。

【0003】

【発明が解決しようとする課題】上記の従来バス調停方式では、要求を出したバスマスタに使用許可がおりるまでタイマの値がカウントダウンするため、一度バスに接続されたバスマスタが再度バスアクセス要求をした時、最下位又は最下位に近い優先順位に位置づけられることがある。この点について、二つのバスマスタから使用要求がある場合を例に、図4を用いて簡単に説明する。

【0004】図4において、TAは優先度の高いバスマスタAのタイマ、TBは優先度の低いバスマスタBのタイマで、それぞれの初期設定値をTa0, Tb0とする。時刻t0において、バスマスタA, Bからのバス使用要求によりタイマTA, TBのカウントダウンが開始し、時刻t1においてバスが使用可能状態となったとする。このとき、各タイマTA, TBの値Ta1, Tb1は、Ta1 < Tb1の関係となるので、バス調停装置は優先度の高いバスマスタAに対してバスの使用許可を発行し、タイマTAを初期値Ta0にリセットする。一方、優先度の低いバスマスタBのタイマTBはカウントダウンを続行する。

【0005】更に、バスマスタBにバスの使用許可が出ないうちに、時刻t2においてバスマスタAが再度バス使用要求を出してタイマTAがカウントダウンを開始し、時刻t3においてバスが使用可能状態となったとする。この場合、時刻t3における各タイマTA, TBの値Ta3, Tb3は、Ta3 > Tb3となり大小関係が逆転しているため、優先度の高いバスマスタAがバス使用要求を出しているにもかかわらず、バス調停装置は優先度の低いバスマスタBに対してバスの使用許可を発行してしまうことになる。

【0006】従って、上記従来のバス調停方式を、複数のチャンネルを有し画像データを処理するデータ処理プロセッサに適用すると、リアルタイム処理の必要性が高いチャンネルがバスの使用要求を出しているにもかかわらず、リアルタイム処理の必要性が低いチャンネルにバスの使用を許可してしまい、画像処理に破綻をきたすという問題が生じる。

【0007】そこで、本発明の目的はリアルタイム処理の必要性（あるいは優先度）が高いチャンネルのバス使用要求中には、リアルタイム処理の必要性（あるいは優先度）が低いチャンネルにバスの使用を許可しないように動作するバス調停装置を備えたデータ処理プロセッサを提供することにある。

【0008】なお、ここではデータ処理プロセッサの内部にあり、処理データが格納されるDRAMやSDRAM（シンクロナスDRAM）などの外部記憶装置とデータ処理プロセッサ間のバスを介してデータの授受を行う

周辺装置とのインタフェース部分をチャンネルと呼んでいる。例えば、画像データを処理するデータ処理プロセッサの場合、データ処理プロセッサ内に設けられた、ホストCPUとのインタフェース部、MPEG (Moving Picture Coding Experts Group) 画像と外部入力画像のキャプチャを行うビデオ入力部、画像を合成して外部へ出力する表示部などをチャンネルと呼ぶ。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明に係るデータ処理装置は、複数のチャンネルからのバス使用要求に対し、一つのチャンネルを選択してバスの使用を許可するバス調停装置を有するデータ処理プロセッサにおいて、前記バス調停装置は、リアルタイム処理の必要性が高いチャンネルに対してバス使用要求が通知されるとカウント時間をカウント変更するタイマ、すなわちカウントダウンもしくはカウントアップするタイマと、リアルタイム処理の必要性が低いチャンネルに対して、前記タイマのカウント時間を次のように設定するレジスタ、すなわちカウントダウンするタイマの場合はカウント時間の最大値よりも大きな値もしくはカウントアップするタイマの場合はカウント時間の最小値よりも小さな値を設定するレジスタとを具備し、バス調停時にそれぞれのタイマの値とレジスタの値とを比較して、タイマがカウントダウンする場合は小さい値、タイマがカウントアップする場合は大きい値のチャンネルにバスの使用を許可する制御を前記バス調停装置が行うように構成することを特徴とするものである。

【0010】また、前記データ処理プロセッサにおいて、前記バス調停装置のレジスタに代えて、前記リアルタイム処理の必要性が高いチャンネルに対するタイマのカウント時間の初期値よりも大きな値もしくは小さな値でカウント変更をストップするタイマを、前記リアルタイム処理の必要性が低いチャンネルに対して設けてもよい。

【0011】また、前記データ処理プロセッサを、ホストCPUとの間の信号をやりとりするためのCPUインターフェース部と、オンスクリーンディスプレイ表示及び2次元グラフィック演算処理をするイメージプロセッシング部と、外部入力画像のキャプチャを行うためのビデオ入力部と、画像を合成して外部へ出力する表示部と、外部記憶装置との間の信号のやりとりをするためのメモリーインターフェース部とから構成し、該メモリーインターフェース部に前記バス調停装置を設けた場合、前記リアルタイム処理の必要性が高いチャンネルは前記CPUインターフェース部と、イメージプロセッシング部と、表示部の各チャンネルであり、前記リアルタイム処理の必要性が低いチャンネルはビデオ入力部およびメモリーインターフェース部の各チャンネルである。

【0012】また、前記外部記憶装置はDRAMまたはSDRAMであり、前記表示部がバスの使用要求をしないうちに、前記DRAMまたはSDRAMのリフレッ

シユ動作を行うための要求信号を発生するリフレッシュ動作要求回路を、前記メモリインターフェース部に更に設ければ好適である。

【0013】また、前記バスは前記外部記憶装置とメモリインターフェース部との間に接続されるデータバスであり、該データバスと各チャンネルとは前記バス調停装置を有するメモリインターフェース部を介して接続するように構成しても良い。

【0014】本発明に係るデータ処理プロセッサは、複数のチャンネルからのバス使用要求に対し、一つのチャンネルを選択してバスの使用を許可するバス調停装置を有するデータ処理プロセッサにおいて、前記バス調停装置が、優先度の高いチャンネルに対してバス使用要求が通知されるとカウント時間をカウント変更するタイマ、すなわちカウントダウンするタイマ（もしくはカウントアップするタイマ）と、優先度の低いチャンネルに対して、前記タイマのカウント時間の最大値よりも大きな値（もしくは最小値よりも小さな値）を設定するレジスタとを具備して、バス調停時にそれぞれのタイマの値とレジスタの値とを比較して小さい値（もしくは大きい値）のチャンネルにバスの使用を許可する制御を行うように構成するものであってもよい。

【0015】この場合、前記バス調停装置のレジスタに代えて、前記優先度の高いチャンネルに設けたタイマのカウント時間の初期値よりも大きな値（もしくは小さな値）でカウント変更をストップするタイマを、前記優先度の低いチャンネルに対して設けることもできる。

【0016】

【発明の実施の形態】本発明に係るデータ処理プロセッサの好適な実施の形態は、データ処理プロセッサ内のバス調停装置に、リアルタイム処理の必要性が高いチャンネルには使用許可時間をカウントダウンするタイマを設け、リアルタイム処理の必要性が低いチャンネルにはレジスタを設け、このレジスタの値に前記タイマの最大値より大きな値を設定する構成、もしくはリアルタイム処理の必要性が低いチャンネルに前記タイマの最大値よりも大きな値に初期値を設定し、かつ、前記タイマの最大値の手前でカウントダウンがストップするタイマを設ける構成である。

【0017】このように構成し、バス調停時にそれぞれのリアルタイム性の必要性が高いチャンネルのタイマ値とリアルタイム性の必要性が低いチャンネルのレジスタ値もしくはタイマ値とを比較し、最も小さい値のチャンネルにバスの使用を許可することにより、リアルタイム処理の必要性が高いチャンネルの使用要求中には、リアルタイム処理の必要性が低いチャンネルにバスの使用を許可しないように動作させることができる。

【0018】これに関して、図5を用いて簡単に説明する。図5において、TAはリアルタイム性の必要性が高いチャンネルAに設けたカウントダウン動作をするタイ

マ、RBはリアルタイム性の必要性が低いチャンネルBに設けたレジスタである。ここでレジスタRBの設定値TbRは、タイマAの最大値Tamax（これはタイマAの初期値でもある）より大きな値に設定されている。時刻t0において、チャンネルA、Bからバス使用要求が出ると、タイマAはカウントダウンを開始する。時刻t1においてバスが使用可能状態になったとする。このときタイマTAの値Ta1とレジスタRBの値TbRの大小関係は、 $Ta1 < TbR$ であるので、バス調停装置はリアルタイム性の高いチャンネルAに対してバスの使用許可を発行し、タイマTAを初期値Tamaxにリセットする。一方、リアルタイム性の必要性が低いチャンネルBのレジスタRBは設定値TbRのままである。

【0019】更に、チャンネルBにバスの使用許可が出ないうちに、時刻t2においてチャンネルAから再度バスの使用要求があり、タイマTAがカウントダウンを開始し、時刻t3においてバスが使用可能状態になったとする。時刻t3におけるタイマTAの値Ta3とレジスタRBの値TbRの大小関係は、 $Ta3 < TbR$ であり、従来方式を用いた図4に示した場合と異なり、大小関係が逆転することがない。従って、リアルタイム性の必要性が高いチャンネルAにバスの使用許可が発行される。

【0020】また、レジスタRBの代わりに、リアルタイム性の必要性が高いチャンネルAのタイマTAの初期値Tamaxよりも大きな値TbRでカウントダウンがストップする図5に示した動作のタイマTBを用いても同じ結果を得ることができる。

【0021】従って、前述したような一度バスに接続されたチャンネルが再度アクセスを要求した場合に、画像処理に破綻をきたすという問題が発生しない。

【0022】なお、カウントアップするタイマを用いる場合にも同様に適用できる。但し、その場合タイマ値の大きい方にバスの使用許可を与えるものとする。

【0023】図6を用いて、カウントアップする場合の一例を簡単に説明する。図6において、TAはリアルタイム性の必要性が高いチャンネルAのカウントアップ動作をするタイマ、RBはリアルタイム性の必要性が低いチャンネルBのレジスタである。ここで、レジスタRBの設定値TbRは、タイマAの最小値Tamin（これはタイマAの初期値でもある）より小さな値に設定されている。時刻t0において、チャンネルA、Bからバス使用要求が出ると、タイマAはカウントアップを開始する。時刻t1においてバスが使用可能状態になったとする。この時タイマTAの値Ta1とレジスタRBの値TbRの大小関係は、 $Ta1 > TbR$ であるので、バス調停装置はリアルタイム性の高いチャンネルAに対してバスの使用許可を発行し、タイマTAを初期値Taminにリセットする。一方、リアルタイム性の必要性が低いチャンネルBのレジスタRBは設定値TbRのままである。

【0024】更に、チャンネルBにバスの使用許可が出な

うちに、時刻 t_2 においてチャンネル A から再度バスの使用要求がありタイマ T A がカウントアップを開始し、時刻 t_3 においてバスが使用可能状態になったとする。時刻 t_3 におけるタイマ T A の値 $T a_3$ とレジスタ R B の値 $T b R$ の大小関係は、 $T a_3 > T b R$ であり、従来方式を用いた図 4 に示した場合と異なり大小関係が逆転することがない。従って、リアルタイム性の必要性が高いチャンネル A にバスの使用許可が発行される。

【0025】また、レジスタ R B の代わりに、リアルタイム性の必要性が高いチャンネル A のタイマ T A の初期値 $T a_{min}$ よりも小さな値 $T b R$ でカウントアップがストップするような図 6 に示すタイマ T B を用いても同じ結果を得ることができることは勿論である。

【0026】

【実施例】次に、本発明に係るデータ処理プロセッサの具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

【0027】＜実施例 1＞図 1 は、本発明に係るデータ処理プロセッサの一実施例を示すブロック図である。図 1 において、参照符号 1 は画像データを処理するデータ処理プロセッサであり、以下、画像処理プロセッサと呼ぶ。この画像処理プロセッサ 1 は、ホスト CPU とのインターフェース (CPU I/F) 部 3 と、スーパーインポーズでテレビ画面上に番組ガイドなどを表示する機能であるオンスクリーンディスプレイ (OSD) 処理及び 2 次元グラフィック演算 (ライン描画、ビットブリット演算) を行なうイメージプロセッシング部 2 と、外部の MPEG A/V デコーダからの MPEG 入力画像や NTSC/PAL デコーダからの外部入力画像のキャプチャを行うビデオ入力部 4 と、画像を合成して外部の NTSC/PAL エンコーダへ出力する表示部 5 と、画像処理プロセッサに接続する SDRAM 6 とのメモリアンターフェース部 7 から構成される。

【0028】メモリアンターフェース部 7 は、上記 4 つのチャンネル (イメージプロセッシング部 2、ホスト CPU インターフェース部 3、ビデオ入力部 4、及び表示部 5) からのバスアクセス要求すなわちバス使用要求を調停するバス調停部 8 と、画像処理データを格納する SDRAM 6 と制御信号 31、アドレス 32、データ 33 をやり取りするメモリコントロール部 9 から構成される。

【0029】バス調停部 8 は、表示部 5 がバス使用要求を行わない期間、すなわちブラウン管 (CRT) や液晶などの表示装置のブランキング期間に SDRAM 6 のリフレッシュ動作を行うために、アクセス頻度制御部 (以下、単に「制御部」と呼ぶ) 12 から入力されるアクセス頻度制御信号 26 の値に従ってバス使用要求信号 25 を発行するリフレッシュ動作要求部 13 と、上記 4 つのチャンネルとリフレッシュ動作要求部 13 ごとに対応するタイマ 16、17、18 及びレジスタ 14、15 の値を制御する制御部 12 と、タイマ 16、17、18 及びレ

ジスタ 14、15 の値を比較し、最も小さい値を持つチャンネルをバス使用チャンネルとして選択するアクセスセクタ部 10 と、アクセスセクタ部 10 で選択されたチャンネルにバスの使用許可を出し、許可したチャンネルに対応するデータの転送を、データ転送ライン 37、38、39、40 を介して行うデータセクタ部 11 とから構成される。

【0030】ここで、CPU I/F 部からのデータ転送モード制御信号 27 は、タイマ 16、17、18 の各初期値と、レジスタ 14、15 の各値の設定を行うための信号であり、ホスト CPU からの要求に従い各値を設定する。また、表示部 5 から発行されリフレッシュ動作要求部 18 に入力される表示期間信号 28 は、表示装置のブランキング期間に SDRAM 6 のリフレッシュ動作を実行するための信号であり、表示期間とブランキング期間で値が反転するという動作をする。

【0031】ここで、表示部 5 がバス使用要求を行わない期間 (ブランキング時間) と上記 SDRAM 6 のリフレッシュ動作に必要な時間と、の関係を簡単に説明する。

【0032】SDRAM 6 はその性質上、一定期間に一定回数以上のリフレッシュ動作を行う必要がある。表示部は最もリアルタイム処理の必要性が高いチャンネルであり、表示期間中は他のチャンネルに SDRAM へのアクセスを行って欲しくない。そこで、ブランキング期間にリフレッシュ動作を行うことが望ましい。表示期間とブランキング期間は交互に防れ、表示期間とブランキング期間を足した値よりも、リフレッシュ動作を完了させねばならない期間が長い。よって、ブランキング期間内でリフレッシュ動作を完了させれば良い。

【0033】ビデオ入力部 4、表示部 5、リフレッシュ動作要求部 13 からバス使用要求信号 23、24、25 が発行されると、制御部 12 からのアクセス頻度制御信号 26 によりセットされた値、すなわちバス獲得待ち許容時間を初期値としてタイマ 16、17、18 がカウントダウンを開始する。

【0034】CPU I/F 部 3、イメージプロセッシング部 2 からのバス使用要求信号 21、22 に対しては、制御部 12 からのアクセス頻度制御信号 26 によりレジスタ 14、15 にそれぞれ異なる値がセットされる。このとき、レジスタ 14、15 の値は、すべてのタイマ 16、17、18 の最大値より大きな値を設定する。バス使用許可信号 29 がメモリコントロール部 9 から、アクセスセクタ部 10 に送られると、バス使用要求状態の全てのタイマ 16、17、18 とレジスタ 14、15 各値を比較し、最も小さい値のチャンネルにバス使用許可がおきる。そして、アクセスセクタ部 10 からは、データセクタ部 11 とメモリコントロール部 9 へそれぞれ使用許可チャンネル通知信号 30、34 が出力される。

【0035】なお、調停時に最も小さい値のタイマ値及びレジスタ値が複数生じた場合は、初期値が最も小さいタイマ16、17、18を持つチャンネルにバスの使用許可がおりる。

【0036】また、レジスタ14、15の値を、タイマ16、17、18の最大値よりも大きな値に設定した場合は、レジスタ値とタイマ値が同じ値になることはない。この場合は、タイマ値のみが同じ値かつ最も小さい値になる可能性がある。

【0037】一方、レジスタ14、15の値を、タイマ16、17、18の最大値よりも小さな値に設定した場合は、レジスタ値14、15とタイマ値が同じ値になることがある。この場合は、レジスタ値14、15のどちらかとタイマ値が同じ値かつ最も小さな値になる可能性がある。これは、タイマ値はカウントダウンしていくことから、タイマの初期値がレジスタ値より大きく設定された場合は、タイマ値とレジスタ値が同じ値になることは明らかである。

【0038】どのタイマの初期値が最も小さいかは、タイマの初期値をレジスタに格納していることからわかる。

【0039】バスの使用許可がおりたチャンネルがタイマを持つ場合は、そのタイマの値が初期値にクリアされる。バス使用要求状態で、しかも未だバスの使用許可が下りていないチャンネルのタイマは、カウントダウンを続行する。アクセスを許可されたチャンネルはデータセクタ部11からのデータインーブル信号35に従い、データ転送ライン37、38、39、40に接続されたいずれかの許可されたチャンネルのデータの入出力を行う。データ転送ラインからデータセクタ部11に転送されてきた許可されたチャンネルのデータと、SDRAM6との間のデータの入出力は、内部データバス36、メモリコントロール部9、データバス31を介して行われる。

【0040】上記動作において、リアルタイム処理の必要性が高いチャンネルにはタイマ16、17、18を設け、リアルタイム処理の必要性が低いチャンネルにはレジスタ14、15を設け、レジスタ14、15の値にすべてのタイマ16、17、18の最大値より大きな値を設定することで、リアルタイム処理の必要性が高いチャンネルの使用要求中には、リアルタイム処理の必要性が低いチャンネルにバスの使用を許可しないように動作させることができる。

【0041】また、本実施例の構成は、各チャンネルがバス調停装置からのバスの使用許可を得ると、バスへのデータ転送はバス調停装置内のデータセクタ部11、内部データバス36、メモリコントロール部9を介してデータバス31に接続される構成としてデータ転送ライン37～40の占有面積が小さくなるようにしたが、バスの使用許可を得たら各チャンネルがデータバスに直接データ転送することができるよう、図3に示した従来例の

よう、チャンネルのデータ転送ラインがデータバスとに直接接続される構成としてもよい。

【0042】＜実施例2＞図2は、本発明に係るデータ処理プロセッサの別の実施例を示すブロック図であり、画像データを処理する画像処理プロセッサである。なお、図2において、前記実施例の図1で示した構成部分と同じ部分には同じ参照符号を付してその詳細な説明は省略する。すなわち、本実施例では、イメージプロセッシング部2、CPU I/F部3に対して、レジスタの代わりにそれぞれタイマ19、20を設けている点が前記実施例と相違する。

【0043】タイマ19、20は、イメージプロセッシング部2およびバス使用要求信号21、22が発行されると、制御部12からのアクセス頻度制御信号26によりセットされた値（バス獲得待ち許容時間）を初期値としてタイマ19、20がカウントダウンを開始する。

【0044】上記動作において、リアルタイム処理の必要性が低いチャンネル（CPU I/F部、イメージプロセッシング部）に対するタイマ19、20の初期値を、リアルタイム処理の必要性が高いチャンネルのタイマ16、17、18の初期値の最大値よりも高い値に設定し、かつ、リアルタイム処理の必要性が低いチャンネルに対するタイマ19、20のカウントダウンをリアルタイム処理の必要性が高いチャンネルのタイマ16、17、18の内の最大の初期値手前でストップさせる機能を設ける。

【0045】この機能を実現するためには、例えば、リアルタイム処理の必要性が高いチャンネルのタイマ16、17、18の初期値の最大値とリアルタイム処理の必要性が低いチャンネルのタイマ19、20を毎クロック毎に比較するように構成すればよい。

【0046】このように構成することにより、リアルタイム処理の必要性が高いチャンネルの使用要求中には、リアルタイム処理の必要性が低いチャンネルにバスの使用を許可しないように動作させることができる。

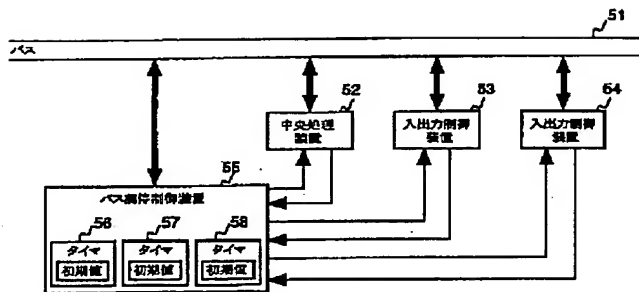
【0047】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種種の設計変更をなし得ることは勿論である。例えば、実施例ではカウントダウン動作するタイマを用いた場合について説明したが、カウントアップ動作するタイマを用いても同様なバス調停動作を行わせることが可能であることは言うまでもない。また、画像処理プロセッサを例にリアルタイム処理の必要性の高低の相違がある場合についてのバス調停の実施例を説明したが、データ処理の優先度に高低がある場合のデータ処理プロセッサにおけるバス調停装置に対しても同様に適用できることは勿論である。

【0048】

【発明の効果】 前述した実施例から明らかなように、本発明に係るデータ処理プロセッサによれば、リアルタイ

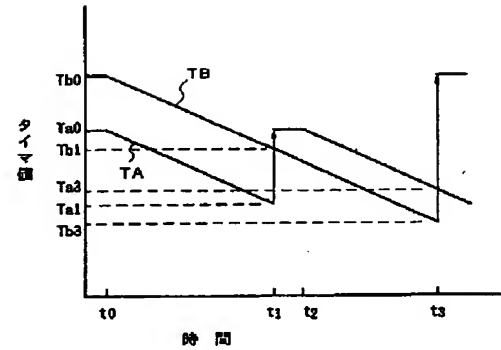
【図3】

図3



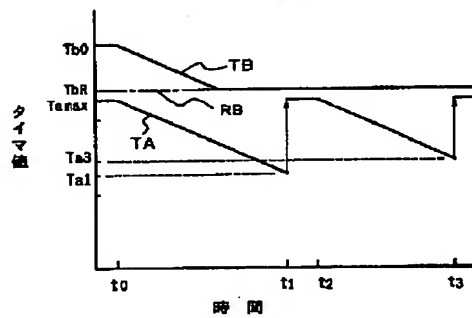
【図4】

図4



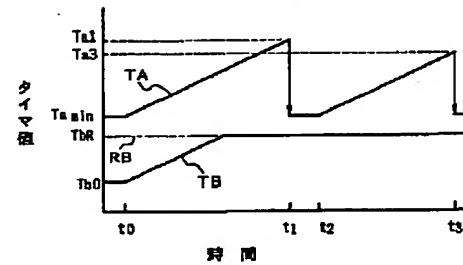
【図5】

図5



【図6】

図6



フロントページの続き

(72)発明者 長谷 昌
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所システムLSI開発セン
タ内

(72)発明者 大和 哲也
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所システムLSI開発セン
タ内

(72)発明者 杉田 憲彦
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5B060 CA10 CD13 CD14

5B061 BB16 BC06 RR03 RR06